

A Importância da Memória ECC no Computador de Sua Subestação

John Harrell

INTRODUÇÃO

As subestações de concessionárias de energia são ambientes que exigem plataformas computacionais altamente confiáveis. Falhas são caras e podem causar interrupções de serviço para consumidores. Plataformas computacionais estão sendo instalados em um ritmo muito mais rápido do que antes e usadas para um conjunto diversificado de aplicações. Essas aplicações incluem: conversores de protocolo, concentradores de dados, sistema de supervisão, controle e aquisição de dados (SCADA: “Supervisory Control and Data Acquisition”), interface homem-máquina (IHM) local, esquemas de ação corretiva, automação da distribuição, segurança cibernética e controle e medição de amplas áreas.

Existem muitas maneiras de tornar os computadores de subestação confiáveis, incluindo tornar o computador mais robusto para atender às especificações dos relés de proteção (com amplas faixas de temperatura, tolerância à vibração e resistência a choques eletrostáticos) e projetar o computador sem partes móveis.

Este *white paper* aborda outro método para aumentar a confiabilidade dos computadores de subestações - projetá-los para usar memória com código de correção de erros (ECC: “Error-Correcting Code”). O uso da memória ECC minimiza a classe de erros de memória específicos de inversão de bits (“single bit flips”). Quase todos os computadores de classe de servidor usam memória ECC, mas muito poucos computadores de subestação usam memória ECC.

TAXAS DE ERROS E SEUS EFEITOS NA CONFIABILIDADE DO SISTEMA

Os computadores de subestações com memórias tipo RAM (“Random-Access Memory”: Memória de Acesso Aleatório) de 2 GB podem ser submetidos a um *bit flip* em semanas alternadas devido à influência de raios cósmicos. Estes *bit flips* podem provocar o travamento do computador. A SEL usa memória ECC em seus computadores de subestação para detectar e corrigir esses *bit flips* antes que possam causar problemas.

De acordo com um estudo da empresa AMD sobre as taxas de erros *soft* (SER: “Soft Error Rates”), “uma taxa SER típica pode ser de um *bit flip* por 2-4 semanas por gigabyte de DRAM (“Dynamic Random-Access Memory”: Memória de Acesso Aleatório Dinâmica). Colocando de outra forma, um sistema de 4 GB pode esperar encontrar aproximadamente um erro a cada semana” [1]. O primeiro estudo de campo em larga escala, que usou uma frota de computadores servidores pertencentes à Google™, foi publicado em 2009. Durante um período de dois anos e meio, usando os dados de milhares de máquinas no campo, o estudo constatou que as “taxas médias de erros corrigíveis da memória de acesso aleatório dinâmica (DRAM) foram de 2000-6000 por GB por ano” [2].

Erros de memória são a principal causa de paralização dos sistemas [3]. “Para lidar com uma interrupção causada por erros de ECC, os atuais sistemas operacionais, incluindo Linux e Microsoft Windows, simplesmente vão para o modo pânico ou a tela azul... O usuário tem que reiniciar a máquina para resolver o problema”[4]. O estudo da Google declara, “um erro de

memória pode levar ao travamento da máquina ou aplicativos usando dados corrompidos” [2]. De acordo com a empresa Hewlett-Packard (HP), “possivelmente 2% a 15% de erros *soft* vão afetar significativamente o resultado do cálculo de um cliente – resultando em respostas incorretas, travamentos do sistema ou comportamento imprevisível” [5].

Erros de memória também têm sido a causa de vulnerabilidades na segurança [6] [7]. “De acordo com o Banco de Dados de Notificações de Vulnerabilidades do US-CERT (“United States Computer Emergency Team”), 39% de todas as vulnerabilidades reportadas desde 1991 foram causadas por vazamentos de memória ou corrupção de memória, e 55% das vulnerabilidades mais graves estão relacionados aos mesmos. No ano de 2003, estes dois tipos de *bugs* contribuíram para 68% dos alertas de CERT/CC (“CERT Coordination Center”) [4]

A MEMÓRIA ECC REDUZ SIGNIFICATIVAMENTE AS TAXAS DE ERROS

A memória ECC com algoritmos de correção de erro único (SEC: “Single Error Correction”) pode reduzir os erros de memória *soft* e *hard* [8]. Nesta classe de erro, um único bit na memória pode acidentalmente inverter—tornando-se um “zero” quando deveria ser um “um” ou um “um” quando deveria ser um “zero”. “A proteção ECC fornece uma redução significativa nas taxas de falhas (tipicamente, mais do que uma redução de 10000 [vezes] nas taxas efetivas de erro)” [9].

Estudos experimentais mostram a confiabilidade para memória não-ECC de capacidade 32Kx64 como sendo de 344 horas versus a confiabilidade para memória ECC SEC de mesma capacidade de 28010 horas [8].

O estudo do Google mostra que 32,2% de todas as máquinas da frota foram submetidas a uma média de 277 erros por ano, os quais eram corrigíveis com memória ECC, e 1,3% das máquinas foi submetida a erros de memória que não eram corrigíveis com memória ECC [2]. Embora não especificamente indicado no estudo, seria seguro dizer que se a memória ECC não tivesse sido usada com o montante de 32,2% das máquinas submetidas a erros de memória corrigíveis, eles não teriam sido corrigidos, o que geralmente resulta em um desligamento da máquina.

Um estudo da IBM® (“International Business Machines Corporation”) efetivamente mostrou uma comparação de 9 interrupções com memória ECC comparadas com 224 interrupções com memória não-ECC. Especificamente, o estudo diz, “o servidor equipado com memória ECC de 1 GB foi submetido a 9 interrupções por 100 servidores durante 3 anos” e “o servidor equipado com memória de paridade de 32 MB (não-ECC) foi submetido a mais de 7 interrupções por 100 servidores durante 3 anos” [10]. Extrapolando os resultados de 32 MB para um sistema não-ECC de 1 GB resulta em 224 interrupções para memória não-ECC.

Os estudos do mundo real da IBM e Google mostram uma consistência muito clara dos sistemas com memória não-ECC tendo 25 vezes mais interrupções em comparação com sistemas com memória ECC. A HP publicou um estudo em um ambiente do mundo real mostrando que 28 sistemas de um total de 100 com 1 GB de memória vão ser submetidos a erros de memória. Todos estes erros seriam corrigíveis com memória ECC [5].

DESEMPENHO DA MEMÓRIA ECC E DIFERENÇAS NOS CUSTOS

Conforme pode ser esperado, para obter esses benefícios, o uso de memória ECC pode resultar numa ligeira degradação do desempenho, dependendo da aplicação. Além disso, a memória ECC também vai custar um pouco mais do que a memória convencional, porque ambos os chips de memória e a placa-mãe necessários para suportá-la possuem custos mais altos. As estimativas mostram que a memória ECC pode ser de 2% a 3% mais lenta, valor que se torna insignificante

no desempenho global do sistema computacional, quando comparado às velocidades de operação do processador, leitura e gravação em disco, e taxa de transferência (“throughput”) das entradas e saídas (I/O: “Input and Output”). O custo extra da memória ECC em preços atuais para 1 GB varia entre US\$ 0,00 e US\$ 15,00, dependendo do desempenho e fabricante.

As aplicações do sistema de potência tendem a ser de missão crítica; portanto, os clientes da SEL estão mais do que dispostos a aceitar o efeito insignificante no desempenho e custo ligeiramente superior usando memória ECC em seus computadores de subestações para garantir uma confiabilidade muito maior.

OS SISTEMAS DOS COMPUTADORES DA SEL USAM MEMÓRIA ECC

A SEL projeta e fabrica produtos para ambientes de subestações e reconhece a importância da confiabilidade destes produtos, incluindo produtos de computação para subestação. Para obter a mais alta confiabilidade, a SEL projeta, fabrica e testa os computadores de acordo com as normas de relés de proteção da indústria de concessionárias, tais como ANSI/IEEE 1613, ANSI/IEEE C37.90, IEC 60255 e IEC 61850-3. O hardware do computador não tem partes móveis ou ventiladores. Com uma fonte de alimentação incorporada (“on-board”), projeto térmico exclusivo, memória ECC, armazenamento de estado sólido, software de monitoramento do sistema e um controlador de “watchdog” integrado, os computadores industriais robustos da SEL atingem o melhor em confiabilidade. Os computadores industriais robustos da SEL possuem um tempo médio entre falhas (MTBF: “Mean Time Between Failures”) comprovado no campo de mais de 100 anos e vêm com uma garantia do produto de dez anos em todo o mundo.

Os computadores de subestações da SEL são projetados com memória ECC para detectar e corrigir *bit flips* frequentes na RAM, os quais podem causar o travamento do computador da subestação. Considerando o uso crítico dos computadores da subestação e a segurança na linha, os clientes da SEL estão dispostos a aceitar um efeito insignificante no desempenho e custo ligeiramente superior usando memória ECC.

REFERÊNCIAS

- [1] Advanced Micro Devices, Inc., “The Value of Using ECC Memory in Embedded Applications,” White Paper, Publication #47644, October 2009.
- [2] B. Schroeder, E. Pinheiro, and W. D. Weber, “DRAM Errors in the Wild: A Large-Scale Field Study,” proceedings of the 11th International Joint Conference on Measurement and Modeling of Computer Systems, Seattle, WA, June 2009.
- [3] B. Schroeder and G. A. Gibson, “A Large-Scale Study of Failures in High-Performance Computing Systems,” proceedings of the International Conference on Dependable Systems and Networks, Philadelphia, PA, June 2006.
- [4] F. Qin, S. Lu, and Y. Zhou, “SafeMem: Exploiting ECC-Memory for Detecting Memory Leaks and Memory Corruption During Production Runs,” proceedings of the 11th International Conference on High-Performance Computer Architecture, San Francisco, CA, February 2005.
- [5] Hewlett-Packard Development Company, L.P., “Advantages of HP Personal Workstation Use in Financial IT Environments,” 2004. Available: http://h71028.www7.hp.com/Hpsub/downloads/financial_whyows.pdf.



- [6] S. Govindavajhala and W. W. Appel, "Using Memory Errors to Attack a Virtual Machine," proceedings of the 2003 IEEE Symposium on Security and Privacy, Berkeley, CA, May 2003.
- [7] J. Xu, S. Chen, Z. Kalbarczyk, and R. K. Iyer, "An Experimental Study of Security Vulnerabilities Caused by Errors," proceedings of the International Conference on Dependable Systems and Networks, Göteborg, Sweden, July 2001.
- [8] C. Su, Y. Yeh, and C. Wu, "An Integrated ECC and Redundancy Repair Scheme for Memory Reliability Enhancement," proceedings of the 20th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Monterey, CA, October 2005.
- [9] R. Baumann, "Soft Errors in Advanced Computer Systems," *IEEE Design and Test of Computers*, May 2005.
- [10] International Business Machines Corporation, "Enhancing IBM Netfinity Server Reliability," 1999. Available: http://public.dhe.ibm.com/systems/support/system_x/chipkif1.pdf.

BIOGRAFIA

John Harrell recebeu seu M.S. em Engenharia de Computação na Santa Clara University em 1991 e seu B.S. em Matemática na California Polytechnic State University em 1984. Ele trabalhou em diversos cargos executivos e de gestão de marketing e engenharia para empresas como IBM, Sun Microsystems e Sybase. Seu trabalho de engenharia inclui sistemas de controle distribuído e desenvolvimento de firmware DSP. John começou a trabalhar na Schweitzer Engineering Laboratories, Inc. em 2007 como gerente de produtos para sistemas de computação.

© 2010 por Schweitzer Engineering Laboratories, Inc.
Todos os direitos reservados.

Todos os nomes das marcas ou produtos que aparecem neste documento são marcas comerciais ou marcas comerciais registradas de seus respectivos proprietários. Nenhuma marca comercial da SEL pode ser usada sem permissão por escrito.

Os produtos SEL que aparecem neste documento podem estar protegidos por patentes dos EUA e de outros países.

SCHWEITZER ENGINEERING LABORATORIES, INC.

2350 NE Hopkins Court • Pullman, WA 99163-5603 USA

Tel: +1.509.332.1890 • Fax: +1.509.332.7990

www.selinc.com • info@selinc.com

